

WWB842

Web

● Automatic Quality Control

□ □ □ □ □ □			
□ □	□ □ □ □ □ □	□ □ □ □ □ □	□ □ □ □ □ □
VW842	- □ □ - □ □	/ □ □ □ □	□ □ □ □ □ □ □ □ □ □
□ □ □	- □ □		□ □ □ □ □ □
□ □ □ □	- □ □		□ □ □ □ □ □
	- □ □		□ □ □ □ □ □ □ □ □ □
	□ □ □ □	/ □ □ □	□ □ □ □ □ □ □ □ □ □
		/ □ □ □	□ □ □ □ □ □ □ □ □ □
		/ □ □ □	□ □ □ □ □ □ □ □ □ □ □ □ □ □ □ □ ch
		/ □ □ □	□ □ □ □ □ □ □ □ □ □ □ □ □ □ □ □ ch
		/ □ □ □	□ □ □ □ □ □ □ □ □ □ □ □ □ □ □ □ ch
		/ □ □ □	□ □ □ □ □ □ □ □ □ □ □ □ □ □ □ □ ch
		/ ANI/ BCI	□ □ □ □ □ □ □ □ □ □ □ □ □ □ □ □ ch
		/ ANI/ BDI	□ □ □ □ □ □ □ □ □ □ □ □ □ □ □ □ ch
		/ BCI/ BDI	□ □ □ □ □ □ □ □ □ □ □ □ □ □ □ □ ch



□ □ □ □ □	□ □ □		
□ □	□ □ □ □ □ □ □	/□□1	/□□2 /□□1/□□1
□ □ □ □ □ □ □ □ □	□ □	□ □	□ □
□ □ □ □ □ □ □ □ □ □	□ □		
□ □ □ □ □ □	□ □		

□ □ □ □ □ □														
□ □					□ □					□ □ □ □				
□ □ □ □ □ □ □ □ □ □					□ □ □ □ □ □ ch					K5635BP				
□ □ □ □ □ □ □ □ □ □					□ □ □ □ □ □ □ □ □ □ ch					K5635ES				
□ □ □ □ □ □ □ □ □ □					□ □ □ □ □ □ □ □ □ □ ch					K5635ET				
□ □ □ □					□ □ □ □ □ □ □ □ □ □					A1612 D				
□ □ □					□ □ □ □ □ □ □ □ □ □					A1613 D				

□ / ANL □ □

□ □ □ □ *1	□ □ □ □			
	OUT1	OUT2	OUT3	OUT4
DCOV□ 1V □ □	DCOV□ 1V	DCOV□ 10mV	DCOV□ 1V	DCOV□ 10mV
DCOV□ 5V □ □	DCOV□ 5V	DCOV□ 10mV	DCOV□ 5V	DCOV□ 10mV
DC1V□ 5V □ □	DC1V□ 5V		DC1V□ 5V	
DC4mA□ 20mA □ □ □	DC4mA□ 20mA		DC4mA□ 20mA	

*1 □ □ □ □ □ □ □ □ □ □

□ / AN2 □ □

□ □ □ □ (1) *2	□ □ □ □			
	OUT1	OUT2	OUT3	OUT4
DC0V□ 1V□ □ □	DC0V□ 1V	DC0nV□ 10nV	DC0V□ 1V	DC0nV□ 10nV
DC0V□ 5V□ □ □	DC0V□ 5V	DC0nV□ 10nV	DC0V□ 5V	DC0nV□ 10nV
DC1V□ 5V□ □ □	DC1V□ 5V		DC1V□ 5V	
DC4nA□ 20nA□ □ □	DC4nA□ 20nA		DC4nA□ 20nA	
□ □ □ □ (2) *2	OUT1	OUT2	OUT3	OUT4
DC0V□ 1V□ □ □	DC0V□ 1V	DC0nV□ 10nV	DC0V□ 1V	DC0nV□ 10nV
DC0V□ 5V□ □ □	DC0V□ 5V	DC0nV□ 10nV	DC0V□ 5V	DC0nV□ 10nV
DC1V□ 5V□ □ □	DC1V□ 5V		DC1V□ 5V	
DC4nA□ 20nA□ □ □	DC4nA□ 20nA		DC4nA□ 20nA	

*2 1 (2)

□ □ □ □ □ □ □ □

DC0mV 10mV	100kΩ
DC0V 1V	1 kΩ
DC0V 5V	1 kΩ
DC1V 5V	1 kΩ
DC4mA 20mA	500Ω

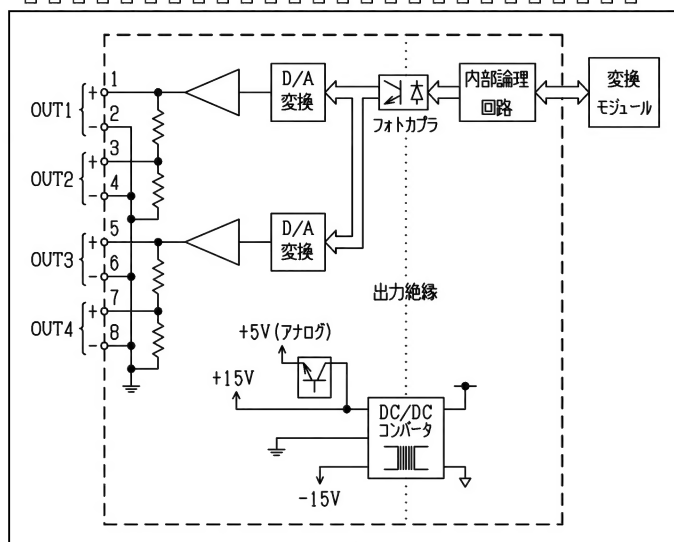
□ □ □ □ □ □ □ □ □ □ □ □ □ □ □

ω₁ □ ω₃ □ □ □ □ □ □ □ □ □ □ □ □ □ □ □ □ □ □

$$\omega_2 \quad \omega_1 \quad \quad \quad \omega_4 \quad \omega_3 \quad \quad \quad$$

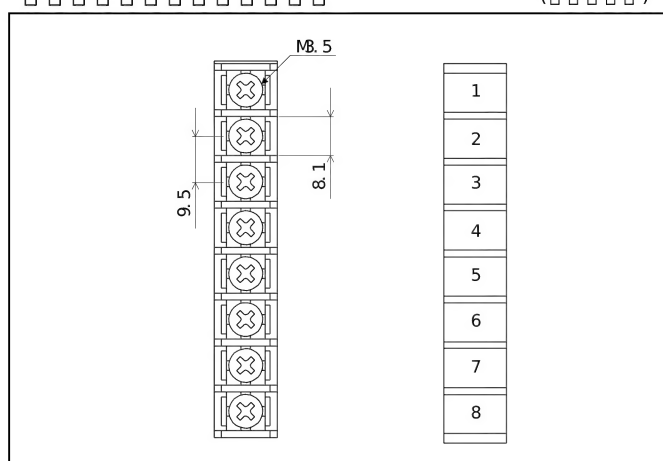
□ □ □ □

□ □ □ □ □		□ □ □ □ □		□ □ □ □ □	
□ □ □	□ □			① - 50. 0°C□	+50. 0°C
	□ □ □ □ □ □			② - 20. 0°C□	+40. 0°C
	□ □ □ □ □ □			③ - 10. 0°C□	+50. 0°C
	□ □ □ □			① - 40. 0°C□	+60. 0°C
	□ □ □ □ □ □ □ □			② - 50. 0°C□	+50. 0°C
	□ □ □ □ □ □ □ □			③ - 10. 0°C□	+50. 0°C
	□ □ □ □			① - 50. 0°C□	+50. 0°C
	□ □ □ □ □ □ □ □			② - 20. 0°C□	+40. 0°C
	□ □ □ □ □ □ □ □			③ - 10. 0°C□	+50. 0°C
□ □ □	□ □ □			0. 0□ 200. 0hPa	
	□ □ □ □ □ □ □ □				
	□ □ □ □ □ □ □ □				
	□ □ □ □			0. 0%□ 100. 0%	
	□ □ □ □ □ □ □ □				
	□ □ □ □ □ □ □ □				
	□ □ □ □			0. 0%□ 100. 0%	
	□ □ □ □ □ □ □ □				
	□ □ □ □ □ □ □ □				
□ □ □ □			0□ 100		

[illegible]

□ □ □ □ □ □ □ □ □ □ □ □ □ □

()



Timing diagram for two channels (CH1 and CH2) showing data transfer and BUSY/READY signals. The diagram illustrates a sequence of data transfers between two channels. CH1 and CH2 each have a data bus (two lines) and a BUSY/READY signal line. The diagram shows two data transfers for each channel. The first transfer for CH1 is indicated by a horizontal arrow at the top. The BUSY/READY signal for CH1 is shown as a pulse that goes high when the transfer starts and returns low when the transfer is complete. The same pattern is repeated for CH2. A 200ms scale bar is provided at the bottom.

The diagram illustrates the timing relationship between the Data Lock signal and the data output for two channels, CH1 and CH2. The Data Lock signal is a pulse that lasts for 200ms or less. The data output for each channel is shown as a signal that starts during the Data Lock pulse and continues for 30ms or more after the pulse ends. The busy output (BUSY/READY) is shown as a signal that is active (high) during the Data Lock pulse and remains active for 30ms or more after the pulse ends. The diagram also includes a note: "※データロック信号は、30ms以上入力してください。" (Please input the data lock signal for 30ms or more).

データロック信号 (DATA LOCK)

200ms以下

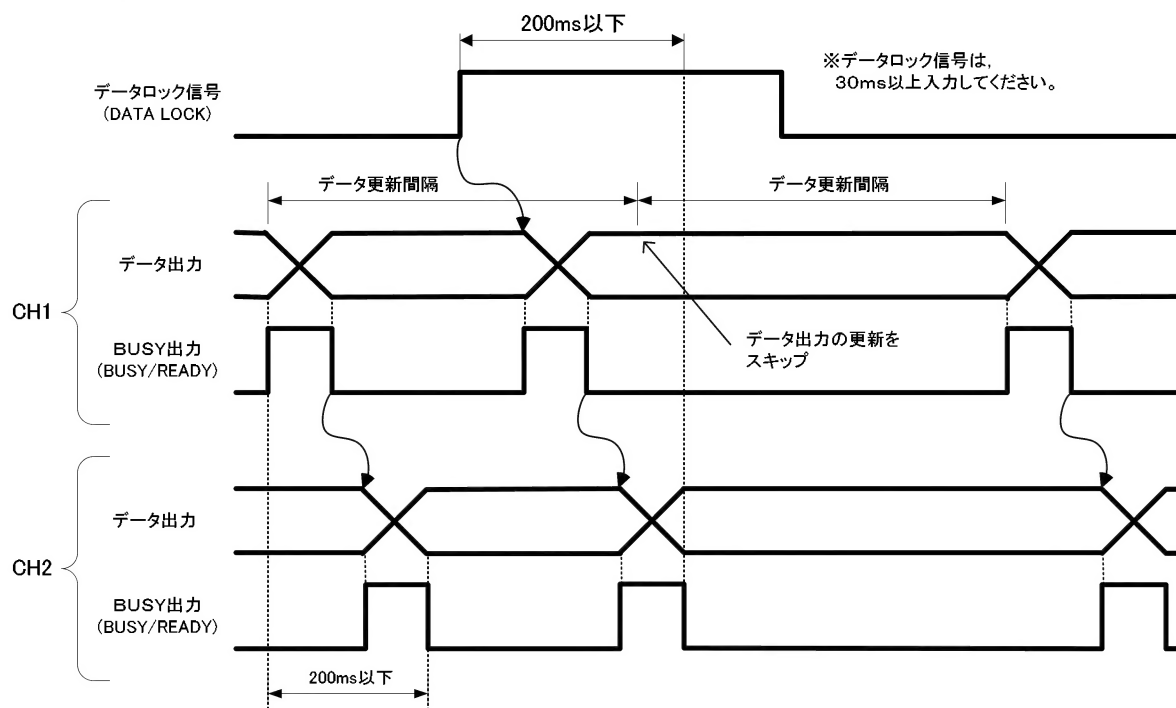
※データロック信号は、30ms以上入力してください。

データ出力

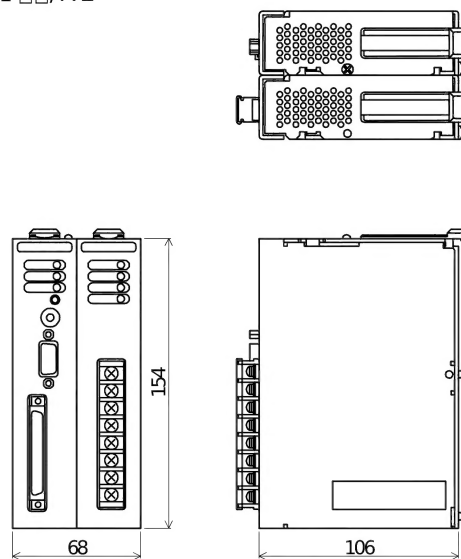
BUSY出力 (BUSY/READY)

CH1

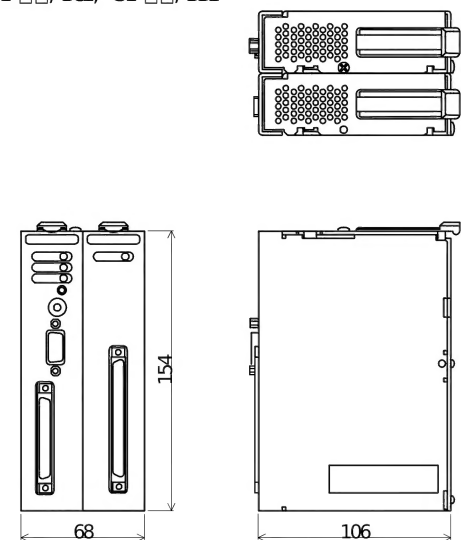
CH2

[illegible]

WMB842- S1-□□/ ANL



W842- S1-□□/ BCL, - S1-□□/ BDL



W842- S1-□□/ ANL/ BCL, - S1-□□/ ANL/ BDL

